

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-23171

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月31日

H 01 L 29/78
29/52

8422-5F

審査請求 未請求 発明の数 3 (全13頁)

⑭ 発明の名称 電気接点とその製造方法とその電気接点を使用するトランジスタ

⑰ 特 願 昭61-65571

⑱ 出 願 昭61(1986)3月24日

優先権主張 ⑲ 1985年7月22日 ⑳ 米国(US) ㉑ 757582

㉒ 発 明 者 リチャード・エイ・ブ アメリカ合衆国カリフォルニア州94022・ロスアルトス
ランチャード モラドライブ 10724

㉓ 発 明 者 ジェームズ・デイ・ブ アメリカ合衆国カリフォルニア州94040・マウントビュー
ラマー マウントバーノンコート 1940、ナンバー16

㉔ 出 願 人 シリコニックス・イン アメリカ合衆国カリフォルニア州95054・サンタクラ
コーポレイテッド ローレルウッドロード 2201

㉕ 代 理 人 弁理士 大島 陽一

明 細 書

1. 発明の名称

電気接点とその製造方法とその電気接点を使用するトランジスタ

2. 特許請求の範囲

(1) 基層に溝をエッチングする過程と、

前記基層の溝内に電気接点を形成するべく導電性材料の層を前記溝内に被着させる過程

とからなることを特徴とする電気接点製造方法。

(2) 基層が半導体材料からなることを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(3) 基層がシリコンからなることを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(4) 異方性エッチングによって溝を形成することを特徴とする特許請求の範囲第3項に記載の電気接点製造方法。

(5) 水酸化カリウム(KOH)を用いて異方性エッチングを行うことを特徴とする特許請求の範囲第4項に記載の電気接点製造方法。

(6) 基層の配向が[100]であることを特徴とする特許請求の範囲第5項に記載の電気接点製造方法。

(7) 導電性材料がアルミニウムであることを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(8) 第1の比抵抗を有する基層にゲートを形成し、

前記第1の比抵抗に相対する第2の比抵抗を有する第1の領域を形成し、

前記第1の領域内に前記第1の比抵抗を有する第2の領域を形成した後に、前記基層に溝をエッチングして、前記溝に被着される導電性材料によって前記第1の領域と第2の領域とを電気的に接触させることを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(9) 溝の底部を平坦に形成することを特徴とする特許請求の範囲第8項に記載の電気接点製造方法。

(10) 溝の壁部が1点に集中していることを特

徴とする特許請求の範囲第8項に記載の電気接点製造方法。

(11) 溝の底部を平坦に形成することを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(12) 溝の壁部が1点に集中していることを特徴とする特許請求の範囲第1項に記載の電気接点製造方法。

(13) 溝が形設されている半導体基層と、

前記溝に於て前記半導体基層と電気的に接触するように前記溝内に設けられた導電性材料の層とからなることを特徴とする電気接点。

(14) 半導体基層がシリコンからなることを特徴とする特許請求の範囲第13項に記載の電気接点。

(15) 基層が第1の比抵抗を有し、前記第1の型比抵抗に相対する第2の比抵抗を有し、かつ溝を包囲する第1の領域と

前記第1の領域内に形成された前記第1の比抵抗を有する第2の領域とからなり前記溝内の導電

性材料の層によって前記第1の領域と第2の領域とが電気的に接触していることを特徴とする特許請求の範囲第13項に記載の電気接点。

(16) 第1の比抵抗を有し、溝が形設されている半導体基層と、

前記第1の比抵抗と相対する第2の比抵抗を有し、前記溝を包囲する第1の領域と、

前記第1の比抵抗を有し、前記第1の領域内に形成された第2の領域と、

前記第1の領域と第2の領域とに電気的に接触する前記溝内に設けられた金属層と、

前記基層の前記第1の領域の上方の部分に設けられた絶縁層と、

前記絶縁層の上方に形成されたゲート領域

とからなることを特徴とするトランジスタ。

(17) ゲート領域が多結晶シリコンからなり、かつ絶縁層が二酸化シリコンからなることを特徴とする特許請求の範囲第16項に記載のトランジスタ。

(18) ゲート領域が多結晶シリコンからなり、

かつ絶縁層が窒化シリコンからなることを特徴とする特許請求の範囲第16項に記載のトランジスタ。

(19) 絶縁層が更に二酸化シリコンからなることを特徴とする特許請求の範囲第18項に記載のトランジスタ。

(20) ゲート領域がケイ化物からなることを特徴とする特許請求の範囲第16項に記載のトランジスタ。

(21) 溝の底部が平坦であることを特徴とする特許請求の範囲第20項に記載のトランジスタ。

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は半導体基層に形成された領域への電気接点を形成する方法に関する。

〈従来の技術〉

半導体基層内の不純物濃度の異なる領域に金属を結合させることは公知である。ここで金属とは、多結晶シリコンのような導電性材料を含むものとする。

第1a図は、従来技術による構造からなる二重拡散MOS (DMOS) トランジスタの断面図である。DMOSトランジスタは、順に加えられる不純物の拡散が共通の縁部、または境界に於いて相違することをを利用してチャネル長が郭定される。

第1a図のトランジスタ10はN型基層14内に拡散されたN⁺ドレイン12dを有する。N型またはB型基層14にはP領域16が含まれる。P領域16内にはN⁺ソース12sが設けられている。P領域16の部分の上にはゲート絶縁層18が配置され、かつゲート絶縁層18の上には多結晶シリコンゲート12gが配置される。周知のように、トランジスタ10の閾値電圧以上の電圧がゲート12gに印加されると、ソース12sとドレイン12dとの間を電流が流れる。

第1a図には金属接点22及び24が示されている。金属接点24はソース領域12s及びP領域16と電気的に接続し、かつ金属接点22はドレイン12dと電気的に接続している。更に、第

3の金属接点(図示せず)が多結晶シリコンゲート12gと電氣的に接続している。

第1a図示のトランジスタの従来技術による変形例を第1b図に示す。第1b図に示すトランジスタ50に於ては、ドレインとして作用する N^+ 基層52が、それよりも不純物濃度が低いN領域54の下に配置されている。N領域54内には P^+ 領域56があり、かつ P^+ 領域56内には一対の N^+ 領域58、60が設けられている。 N^+ 領域58、60は、第1b図に於ては2個の領域として図示されているが、従来技術によれば、基層の表面に於いて連続する単一の領域として形成されたトランジスタもある。 N^+ 領域58、60はトランジスタ50のソースを形成する。

P^+ 領域56から延長するP領域57の上に絶縁層62及び64が設けられている。絶縁層62、64の上には多結晶シリコンゲート66、68がある。ゲート66、68は別個のものとして図示されているが、従来技術によれば、基層の表面に於て連続する単一の領域とすることもできる。同

様に、絶縁層62、64を連続する単一の層として形成することができる。多結晶シリコンゲート66、68の電圧がトランジスタ50の閾値電圧以上になると、ドレイン領域52とソース領域58、60との間を電流が流れる。

第1b図に示すように、トランジスタ50からソース電流を伝導する金属接点70が設けられている。別の金属接点(図示せず)が、ゲート領域66、68と電氣的に接続している。このトランジスタは一般に垂直型DMOSTランジスタと呼ばれる。

周知のように、第1a図のトランジスタ10及び第1b図のトランジスタ50のようなデバイスを組立る場合には、できる限り表面を小さくするのが望ましい。これは処理されたシリコンが高価であり、かつ同一の機能を持つデバイスを小さくすればする程その価格を安くすることができるからである。

第1b図示の金属接点70のような電気接点は比較的大きな表面領域を占有する。一般的な電気

接点の領域の寸法を第1c図に示す。同図に示すように、例えば金属接点70のような一般的な電気接点は本体接点、即ち P^+ 領域56aへの接点のために6 μ の幅を有し、かつ更にその両側にソース領域58、60と充分に接触し得るように3 μ の幅を有する。接点の寸法をこのようにすれば、位置合せの誤り、側方への拡散及び例えば不十分なエッチング、過剰のエッチング及びマスクの変形のようにデバイスの全体寸法を計算する際に考慮される様々な影響を考慮しても、低抵抗性オーム接点が得られる。

従って、一般的なDMOSデバイスのセルの寸法は20 μ 乃至40 μ の範囲内である。電気接点の寸法を減少させることができれば、DMOSデバイスの寸法を減少させることができるので、DMOSデバイスの価格を減少させることができる。(問題点を解決するための手段)

本発明によれば、トランジスタの電気接点を組立る方法は、N型エピタキシャル層が形成されているN型基層を有するウェハを提供する過程と該

ウェハに二酸化シリコン層を被着する過程とからなる。

次に、従来技術を用いて二酸化シリコン層をエッチングし、トランジスタの活性領域を形成する窓領域を残す。その後、前記窓領域にゲート絶縁層及び多結晶シリコンゲート領域を形成し、このウェハに、第1のイオン注入過程によって複数のPウェルを形成し、かつ第2のイオン注入過程によって該Pウェル内に複数のN領域(トランジスタソース)を形成する。更に、このウェハに異方性エッチングを行なって、エピタキシャル層に複数のV字形状の溝を形成する。別の実施例に於ては溝の底部を平坦にする。これらの溝はPウェル及びN領域を貫通する。

次に、このウェハにP型イオンを用いて第3のイオン注入処理を行うことにより、Pウェル即ちトランジスタ本体領域が溝の底部まで形成される。しかし、この第3のイオン注入処理は、N型ソースをカウンタドープするには充分ではない。次に、アルミニウムまたはその合金の金属層を用い

てソース及び本体領域のオーム接点を形成する。このようにして、表面積がより小さい電気接点を有するトランジスタが提供される。

以下に添付図面を参照しつつ、実施例に基づいて本発明を詳細に説明する。

〈実施例〉

本発明の実施例によれば、垂直型DMOSトランジスタを形成するための方法は、最初に約0.005乃至0.1 Ωcm （実施例に於ては0.07 Ωcm ）の範囲内にあるN型比抵抗を有するウェハを使用する。他の実施例に於ては、他の不純物濃度を有するN型またはP型材料を使用することができる。次に、比抵抗が約0.5乃至30 Ωcm （実施例に於ては2.4 Ωcm ）でありかつ厚さが約6乃至60 μ （実施例に於ては13.5 μ ）のN型エピタキシャル層を、例えばエピタキシャル成長法により基層の上に設ける。

第2a図には、その上にN型エピタキシャル層102を成長させたN型基層100が示されている。一般にN型基層100及びエピタキシャル層

102の結晶配向は[100]である。

次に、絶縁層104をN型エピタキシャル層102上に形成する。本発明の1実施例に於ては、絶縁層104は厚さ3000乃至8000Åの二酸化シリコン層であって、例えば前記ウェハを酸素雰囲気の中で約3乃至6時間、約1050乃至1200℃の温度に加熱することによってN型エピタキシャル層102の上に熱成長させる。別の方法によれば、絶縁層104は900乃至1100℃の水蒸気の中に0.5乃至2時間置くことによって成長させることができる。本発明の別の実施例に於ては、絶縁層104は窒化シリコン、または二酸化シリコンと窒化シリコンとの組合せからなる。

次に、絶縁層104を従来のフォトリソグラフィ技術を用いてマスクし、トランジスタとなるべき活性領域を露出させる。二酸化シリコンからなる絶縁層104の露出部分を、例えば緩衝フッ化水素（HF）を用いて除去し、窓領域108を形成する。その後、第2b図に示すようにゲート

絶縁層110をウェハの上に形成し、かつ多結晶シリコン層112をゲート絶縁層110の上に被着させる。

本発明の実施例に於ては、ゲート絶縁層110は約500乃至1000Åの範囲内の厚さを有する二酸化シリコンからなり、かつ例えばウェハを酸素または水蒸気の雰囲気内で約900乃至1100℃に約0.5乃至2時間加熱することによって形成される。本発明の別の実施例に於ては、ゲート絶縁層110は二酸化シリコンと窒化シリコンとの組合せを成長させまたは被着させることによって形成される。多結晶シリコン層112は一般に4000乃至6000Åの厚さを有し、例えば減圧気相成長技術によって形成される。

多結晶シリコン層112は、一般にリンを不純物として加えて比抵抗を約30乃至50 Ωcm とし、更に従来のフォトリソグラフィ技術を用いてマスクしてトランジスタゲート構造を卵定する。次に、多結晶シリコン層112の露出部分を、例えばふ

（1行余白）

化炭素（ CF_4 ）をプロセスガスとして使用するプラズマエッチング法によってエッチングする。多結晶シリコン層112の残存部分は、ゲート絶縁層110がエッチングされている間のエッチングに対する保護膜として利用される。

第2d図に於て、例えばウェハを酸素の中で約0.5～2時間、約1000～1100℃に加熱することによって、該ウェハの上に二酸化シリコン層120が形成される。ここで重要なことは、ゲートを構成する多結晶シリコン層112の上に形成される二酸化シリコン層120の部分が、多結晶シリコン層112の不純物濃度が高いことによって、約1000～3000Åの厚さ、即ちN型エピタキシャル層102の上に形成される二酸化シリコン層120の部分の約2倍の厚さを有することである。

第2d図に於ては、例えば硼素イオンを用いてイオン流が約 10^{13} ～ 2×10^{14} イオン/ cm^2 、イオンエネルギーが約40～120keVのP型イオン注入処理をウェハに行なうことによって、N型

エピタキシャル層102にP領域114を形成する。次に、このウェハに酸素または窒素雰囲気の中で約4~12時間、約1100~1200℃の温度で拡散処理を行なうことによって、図示するよう酸素を拡散させる。この拡散処理の際に、二酸化シリコン層120の厚さが増加する。

次にこのウェハに、約50~150keVの注入エネルギーで約 5×10^{14} ~ 5×10^{15} イオン/cmの流量のN型砒素イオンまたは燐イオンの注入を行なう。更に、このウェハに、酸素または窒素雰囲気内で約0.5~3時間、約1000~1150℃の温度で拡散処理を行なうことによって、図示するように砒素または燐を拡散させる。これによってN⁺ソース領域116を形成する。この拡散処理の際に、二酸化シリコン層120の厚さも増加する。

第2e図に於ては、ウェハにふっ化水素(HF)をエッチングガスとするエッチングを行なうことにより、N型エピタキシャル層102の上に形成された二酸化シリコン層120の部分を除去する。

の幅によって1~10μである。

次に、第2g図に示すように、P領域、即ち本体領域114を溝118の底部周辺まで延長させるために、ウェハに酸素イオンを使用する別のP型イオン注入処理を行なう。このウェハは、約50乃至150のKEVのイオンエネルギーを有する流量約 5×10^{12} 乃至 5×10^{14} イオン/cmのイオン流を受ける。ここで重要なことは、この流量ではN⁺ソース領域116をカウンタードープするには不十分なことである。

第2h図に関して、例えばアルミニウムまたはその合金からなる金属層122をウェハの上に被着し、電気接点として使用する。本発明の実施例に於ては、金属層122は約1乃至3ミクロンの厚さを有し、公知の真空蒸着法を用いて被着される。次に、例えばフォトレジストをパターンニングしかつ酢酸、硝酸及び燐酸の溶液によって金属層122の露出部分をエッチングする従来の技術を用いて、金属層122にパターンを形成する。金属層122の残存部分がN⁺ソース領域116及

ゲート112の上に形成された二酸化シリコン層120の部分は、N型エピタキシャル層102の上に形成された二酸化シリコン層120の部分の約2倍の厚さを有するので、このエッチングはマスクを使用することなく行なうことができ、かつN型エピタキシャル層102の上の二酸化シリコン層120の部分は、多結晶シリコンからなるゲート112の上の二酸化シリコン層120の部分を除去することなく除去することができる。

第2f図に於ては、酸化物からなる絶縁層104、またはゲート112によって被覆されていない活性領域の部分が異方性エッチング剤を用いてエッチングされる。周知のように、シリコンに異方性エッチングを行なうエッチング剤としては、例えば水酸化カリウム(KOH)のように多数のものがある。水酸化カリウムはシリコンを非優先軸よりも優先軸に沿って非常に高速度でエッチングするので、N型エピタキシャル層102に溝118が形成される。溝118の深さは、一般に絶縁層104及び二酸化シリコン層120の開口部

び114へのオーム接点を形成することにより、他の構成要素または外部リード線及びゲート112と接続させることができる。

第2h図はDMOSTランジスタの構造を示す。ゲート112の電圧が前記ランジスタの閾値電圧よりも大きくなると、電流が金属層122からN⁺ソース領域116、チャンネル領域123、N型エピタキシャル層102、N型基層100を通過してN型基層100の底部にあるドレイン接点(図示せず)へ流れる。

第2h図のランジスタは2個の独立したゲート構造と4つのチャンネルを有するように図示されているが、ゲート112は第2h図の断面の外側に於てまたは金属層122によって一体的に連結されている。P領域114及びN⁺ソース領域116が同様に連結されている。

本発明の別の実施例に於ては、第2b図のゲート構造を形成した後ウェハにP型イオン注入法を行なってP領域114を形成する代りに、第3a図に示すように、ウェハにN型イオン注入法を

(1行余白)

行なって N^+ ソース領域116を形成する。次に、例えば水酸化カリウム(KOH)溶液を用いてウェハに異方性エッチングを行ない、溝118を形成する。更に、このウェハにP型イオン注入法を行なって、第3c図に示すようにP型本体領域114を形成する。上述したように、この処理に於ける注入量は N^+ ソース領域116をカウンタードープするには不十分である。次に、多結晶シリコン層112の上に二酸化シリコン層120を成長させ、かつ第2h図に示すようにパターンを形成すると共に、前述の実施例と同様にウェハの上に金属層122を被着する。

本発明の更に別の実施例に於ては、異方性エッチング剤を用いてN型エピタキシャル層102に完全なV溝をエッチングする代りに、第4a図に示すように平坦な底部を有するV溝をN型エピタキシャル層102にエッチングする。このような平坦な底部を有するV溝は、完全なV溝が形成される前にウェハを異方性エッチング剤から取除く

溝に接続させて該溝の一侧部に配置されている。

同様に、第4c図のトランジスタはV溝に接続された単一のゲート領域112'と単一のソース領域116'とを有する。また、第4c図に示すように、基層100に形成されたドレイン領域130によって横型DMOSTランジスタが形成される。このような構造は、エピタキシャル層に形成することもできる。

第2h図、第4a図乃至第4c図には、トランジスタの上に接点の幅が記載されている。一般的なセルの寸法を幅35ミクロンとし、従来技術による第1c図示の接点のように幅12ミクロンの接点を有するとすれば、本発明によれば、第4a図及び第4b図に示すように接点の幅が8ミクロンの場合には、正方形セルのトランジスタ領域を最初の寸法に対して $(31/35)^2$ 即ち78.4%(961平方ミクロン対1225平方ミクロン)まで減少する。これによって面積を小さくしかつ同一のソースを有するデバイスを形成するためのダイを小さくすることができる。

ことによって形成される。平坦な底部を有する溝は溝の底部に存在する電場を最小とするために適しており、それによって本体領域114とN型エピタキシャル層102との間の低破壊電圧を防止することができ、かつ良好なオーム接点を得るために、ソース接点としての金属層122をV溝内に均一に被着させることができる。

等方性ウェットエッチング技術またはプラズマエッチング技術を用いることによっても、第4a図に示す形状と概ね類似の形状を有する領域をエッチングすることができる。第4a図示のデバイスの作用は第2h図示のデバイスの作用と同一である。

第4b図及び第4c図には、本発明の別の実施例によるトランジスタが示されている。

第4b図のトランジスタに於ては、第2a図乃至第2h図及び第4a図の実施例のように2個のソース領域116と2個のゲート領域112を使用する代りに、単一のソース領域116'と単一のゲート領域112'とが平坦な底部を有するV

同様に、第2h図及び第4c図に示す接点の場合には、トランジスタの面積をもとの大きさの $(29/35)^2$ 即ち66.1%(841平方ミクロン対1225平方ミクロン)まで減少する。

周知の様に、例えば第1b図に示す従来のDMOSTランジスタの場合に、急激に変化するドレイン電圧によってソース60の下の特ランジスタの本体領域57に第1b図に示すような横方向の電流の流れが生じる。この動作は本体ードレイン接合容量を充電するのに必要な変位電流によって起こる。この電流Iにソースの下の特ランジスタの抵抗Rを掛けて0.6ボルト($V=I \times R$)を超える場合には、ソース領域116と本体領域114とエピタキシャル層102とによって形成される寄生バイポーラトランジスタにバイアスがかかり、DMOSTランジスタの破壊特性が大きく変化する。本発明によれば、ソースの下の特ランジスタの横方向の寸法が減少するので、本発明によるDMOSTランジスタは急激に変動するドレイン電圧に対する感度が低くなっている。本発明の実施例に

於てはソース領域の長さが3乃至5ミクロンであるのに対し、第1b図の従来技術によるDMOSTランジスタの場合は6乃至8ミクロンである。

ソースの下の本領域の抵抗が低くなると、寄生バイポーラトランジスタをターンオンしまたはDMOSTランジスタに於てシリコン制御整流器(SCR)をラッチアップさせるのに必要なフラッシュ放射線量が増加する。第2h図に於てソース領域116、本領域114、及びN型エピタキシャル層102が寄生NPNTランジスタを形成し、本領域114、N型エピタキシャル層102及び第2の本領域114'が寄生PNPTランジスタを形成する。寄生NPNTランジスタと寄生PNPTランジスタとが寄生シリコン制御整流器を形成する。

周知のようにブラッシュ放射は複数対の空腔を発生させる核現象の結果である。これによってソースの下の本領域に電流が流れ、かつ寄生バイポーラトランジスタがターンオンされまたはシリコン制御整流器がラッチアップされると共に、急

激に変化するドレイン電圧の結果として上述の問題が発生する。

以上本発明を特定の実施例に基づいて詳述したが、本発明の技術的範囲から逸脱することなく様々な変形または変更を加えて実施し得ることは当業者にとって明らかである。

例えば、V字溝型の接点はDMOSTランジスタ以外のデバイス、例えば従来のDMOSTランジスタ、ダイオードまたは他の基盤に形成されたデバイスに使用することができる。更に、本発明を利用してP型チャンネルまたはN型チャンネルを用いてトランジスタを形成することができる。また、トランジスタのゲートは多結晶シリコンの他に金属またはケイ化物であっても良い。

本発明による方法は、DMOSTランジスタの他にMOSゲートシリコン制御整流器及びMOSゲート絶縁ゲートトランジスタの製造に使用することができる。MOSゲートシリコン制御整流器については、1982年モータローラ・インコーポレイテッド(Motorola, Inc.)発行のエンジニアリ

ングブレティン(Engineering Bulletin) E8103に掲載されたアルシャーニック(Al Pshaenich)著の「The MOS SCR, ア・ニュー・サイリスタ・テクノロジー」(The MOS SCR, A New Thyristor Technology)に詳細に記載されている。絶縁ゲートトランジスタについては、1984年6月発行のIEEE・トランスアクションズ・オン・エレクトロン・デバイス(IEEE Transactions on Electron Devices)第ED-31巻No.6に掲載されたビー・ジェー・バリガ等(B. J. Baliga)著の「デ・インシュレイテッド・ゲート・トランジスタ: ア・ニュー・スリーターミナル・MOS-コントロールド・バイポーラ・パワー・デバイス」(The Insulated Gate Transistor: A New Tree-Terminal MOS-Controlled Bipolar Power Device)に記載されている。このように、本発明は特許請求の範囲に記載された技術的範囲に於て様々な変形及び変更を加えることができる。

4. 図面の簡単な説明

第1a図乃至第1c図は従来技術によるDMO

Sトランジスタの断面図である。

第2a図乃至第2h図は本発明による方法の第1実施例の各過程に於けるDMOSTランジスタの断面図である。

第3a図乃至第3c図は本発明による方法の第2実施例の各過程に於けるDMOSTランジスタの断面図である。

第4a図乃至第4c図は、本発明による電気接点の他の実施例の断面図である。

10...トランジスタ	12d...N ⁺ ドレイン
12g...ゲート	12s...N ⁺ ソース
14...N型基層	16...P領域
18...ゲート絶縁層	22、24...金属接点
50...トランジスタ	52...N ⁺ 基層
54...N領域	56...P ⁺ 領域
57...P領域	58、60...N ⁺ 領域
62、64...絶縁層	66、68...ゲート
70...金属接点	100...N型基層
102...N型エピタキシャル層	
104...絶縁層	108...窓領域

特開昭 62-23171 (8)

図面の浄書(内容に変更なし)

110…ゲート絶縁層

112、112' ...多結晶シリコン層、ゲート

114、114' …P領域、本体領域

116、116' …ソース領域

118…溝 120…二酸化シリコン層

1 2 2...金属層 1 2 3...チャネル領域

130…ドレイン領域

特許出願人 シリコニックス・
インコーポレイテッド
代理人 弁理士 大 島 陽 一

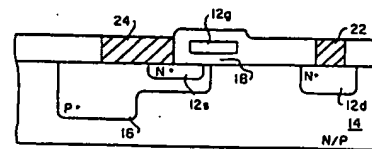


FIG. 1a

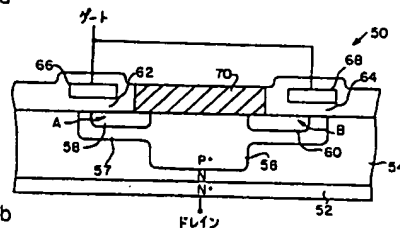


FIG. 1b

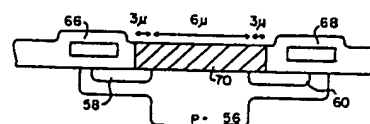


FIG. 1c

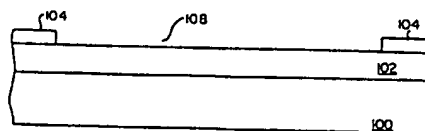


FIG. 2a

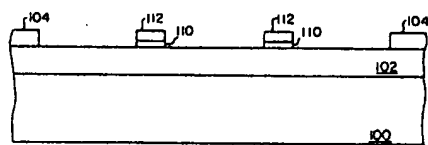


FIG. 2b

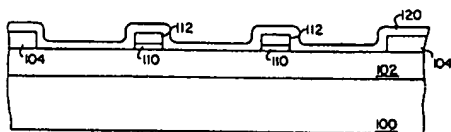


FIG. 2c

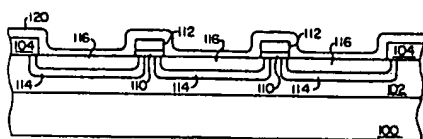


FIG. 2d

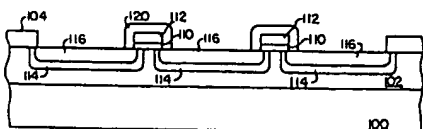


FIG. 2e

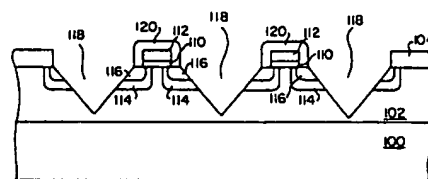


FIG. 2f

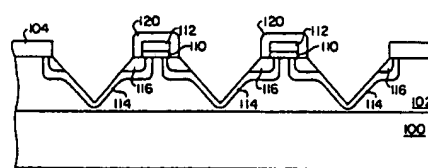


FIG. 2g

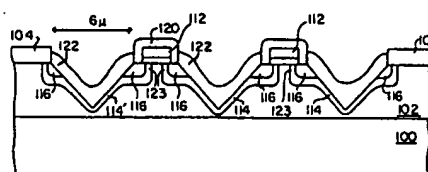


FIG. 2h

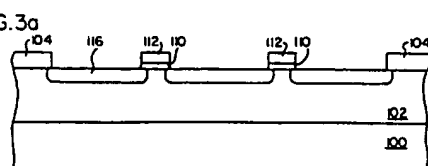


FIG. 3a

(方式)

手続補正書

昭和61年6月24日

特許庁長官 宇賀 道 郎 殿

1. 事件の表示

昭和61年特許願第065571号

2. 発明の名称

電気接点とその製造方法とその電気接点を

使用するトランジスタ

3. 補正をする者

事件との関係

特許出願人

名 称

シリコニクス・インコーポレイテッド

4. 代 理 人

居 所

〒102 東京都千代田区飯田橋1-8-6

渋谷ビル 電話 262-1761

氏 名

(8926) 弁理士 大 島 陽 一

5. 補正命令の日付

昭和61年5月7日(発送日昭和61年5月27日)

6. 補正により増加する発明の数 0

7. 補正の対象 図面

8. 補正の内容 別紙の通り

61. 6.

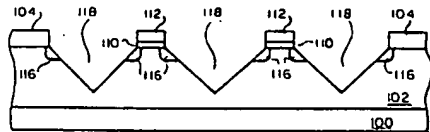


FIG. 3b

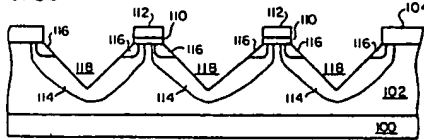


FIG. 3c

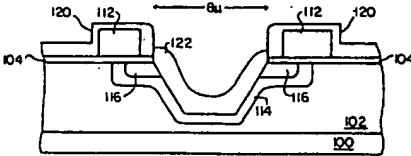


FIG. 4a

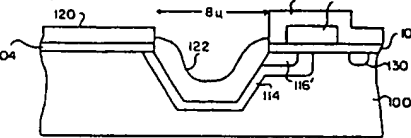


FIG. 4b

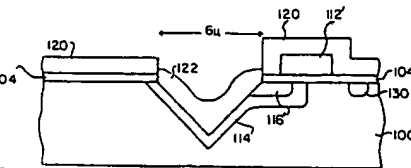


FIG. 4c

手続補正書(自発)

昭和61年6月30日

特許庁長官 宇賀 道 郎 殿

1. 事件の表示

昭和61年特許願第065571号

2. 発明の名称

トランジスタとその製造方法(補正後)

3. 補正をする者

事件との関係

特許出願人

名 称

シリコニクス・インコーポレイテッド

4. 代 理 人

居 所

〒102 東京都千代田区飯田橋1-8-6

渋谷ビル 電話 262-1761

氏 名

(8926) 弁理士 大 島 陽 一

5. 補正命令の日付 自 発

6. 補正により増加する発明の数 5

7. 補正の対象 明細書の発明の名称の欄、特許請求の範囲の欄、
発明の詳細な説明の欄、図面の簡単な説明の欄、
及び図面

8. 補正の内容 別紙の通り

(補正の内容)

(1) 明細書第1頁第3行から第4行の発明の名称を

「トランジスタとその製造方法」と訂正する。

(2) 同第1頁第6行から第5頁第11行の特許請求の範囲を別紙の通り訂正する。

(3) 同第21頁第7行

「・・・れる。」の後に

「ドレイン領域130には、金属接点131が電気的に接続されている。」を加入する。

(4) 同第27頁第7行

「130・・・ドレイン領域」の後に

「131・・・金属接点」を加入する。

(5) 図面の第1a図、第1b図、第1c図、第2h図、第4a図、第4b図及び第4c図を添付の通り訂正する。

(第2a図、第2f図、第2g図、第3a図、第3b図及び第3c図は変更なし。)

(特許請求の範囲)

(1) 第1の比抵抗を有する第1半導体領域と、
前記第1の比抵抗とは反対の第2の比抵抗を有し、前記第1の半導体領域内に形成された第2領域と、

前記第1の比抵抗を有し、前記第2領域内に形成された第3領域と、

前記第3領域と前記第2領域の少なくとも部分とを貫通し、平坦な底部を有する溝と、

前記第2領域と第3領域とに電気的に接続する前記溝内に設けられた導電材料層と、

前記第2領域の部分の上方に形成された絶縁層と、

前記絶縁層の上方に形成されたゲート

とからなることを特徴とするトランジスタ。

(2) ゲートが多結晶シリコンからなり、かつ絶縁層が二酸化シリコンからなることを特徴とする特許請求の範囲第1項に記載のトランジスタ。

(3) ゲートが多結晶シリコンからなり、かつ絶縁層が窒化シリコンからなることを特徴とする特

域に先に形成された二酸化シリコンをフッ化水素溶液で除去した後に溝をエッチングすることを特徴とする特許請求の範囲第6項に記載のトランジスタ製造方法。

(8) ゲートを半導体材料の第1表面に形成し、かつ前記第1表面に第1領域と接する導電材料を形成することを特徴とする特許請求の範囲第6項に記載のトランジスタ製造方法。

(9) 第1領域、第2領域及び第3領域がそれぞれトランジスタのドレイン、本体及びソースとして形成されることを特徴とする特許請求の範囲第6項に記載のトランジスタ製造方法。

(10) トランジスタがDMOSTトランジスタであることを特徴とする特許請求の範囲第6項に記載のトランジスタ製造方法。

(11) 第1の比抵抗を有する半導体材料からなる第1領域の上面にゲートを形成する過程と、

前記第1の比抵抗とは反対の第2の比抵抗を有し、前記第1領域の上面まで延長する第2領域を前記第1領域内に形成する過程と、

許請求の範囲第1項に記載のトランジスタ。

(4) 絶縁層が更に二酸化シリコンからなることを特徴とする特許請求の範囲第3項に記載のトランジスタ。

(5) ゲートがケイ化物からなることを特徴とする特許請求の範囲第1項に記載のトランジスタ。

(6) 第1の比抵抗を有する半導体材料からなる第1領域にゲートを形成する過程と、

前記第1領域内に前記第1の比抵抗とは反対の第2の比抵抗を有する第2領域を形成する過程と、

前記第2領域内に前記第1比抵抗を有する第3領域を形成する過程と、

前記第3領域と前記第2領域の少なくとも部分とを貫通しかつ平坦な底部を有する溝を前記半導体材料内にエッチングする過程と、

前記溝内に前記第2領域及び第3領域との電気接点を形成するべく導電材料層を被覆させる過程とからなることを特徴とするトランジスタ製造方法。

(7) 半導体材料がシリコンであり、かつ第3領

前記第1の比抵抗を有し、前記第1領域の上面まで延長する第3領域を前記第2領域内に形成する過程と、

前記第3領域と前記第2領域の少なくとも部分とを貫通する溝を前記半導体材料内にエッチングする過程と、

前記溝に前記第2領域及び第3領域への電気接点を形成し、かつ前記上面に前記第1領域への電気接点を形成するように、前記溝内と前記第1領域の上面の少なくとも部分上とに導電材料層を被覆させる過程

とからなることを特徴とするトランジスタ製造方法。

(12) 溝内の導電材料が上面に於ける第1領域への電気接点を形成する導電材料と接触しないように導電材料層をパターン形成することを特徴とする特許請求の範囲第11項に記載のトランジスタ製造方法。

(13) 第1の比抵抗を有し、かつ上面を備える半導体材料からなる第1領域と、

前記第1の比抵抗とは反対の第2の比抵抗を有し、前記第1領域の上面まで延長するように前記第1領域内に形成され、トランジスタの本体領域として機能する第2領域と、

前記第1の比抵抗を有し、前記第1領域の上面まで延長するように前記第2領域内に形成され、トランジスタのソースとして機能する第3領域と

前記第3領域と前記第2領域の少なくとも部分とを貫通するように形成された溝と、

前記溝に於て前記第2領域と第3領域とに電気接続するソース及び本体のリード線として前記溝内に形成された第1導電材料と、

前記第1領域と電気的に接続し、かつドレインのリード線として機能するように前記第1領域の上面に形成された第2導電材料

とからなることを特徴とするトランジスタ。

(14) 第2領域の上面に形成されたゲートの電圧に対応して、第1領域と第3領域との間に電流が流れるようになっていることを特徴とする特許請求の範囲第13項に記載のトランジスタ。

して形成されることを特徴とする特許請求の範囲第15項に記載のトランジスタ製造方法。

(17) 第1の比抵抗を有する半導体材料からなる第1領域にゲートを形成する過程と、

前記第1の比抵抗を有し、かつ前記第1領域の不純物濃度よりも大きい不純物濃度を有する第2領域を前記第1領域内に形成する過程と、

前記第2領域と前記第1領域の少なくとも部分とを貫通する溝をエッチングする過程と、

前記エッチング過程の後に前記第1の比抵抗とは反対の第2の比抵抗を有し、前記溝の底部の下方に延長し、かつトランジスタのソースとして機能する前記第2領域を被包してトランジスタの本体として機能する第3領域を形成する過程

とからなることを特徴とするトランジスタ製造方法。

(18) 溝内にソース及び本体のリード線として機能する導電材料を形成する過程からなることを特徴とする特許請求の範囲第17項に記載のトランジスタ製造方法。

(15) 第1の比抵抗を有する半導体材料からなる第1領域にゲートを形成する過程と、

前記第1領域内に前記第1の比抵抗とは反対の第2の比抵抗を有する第2領域を形成する過程と、

前記第2領域内に前記第1の比抵抗を有する第3領域を形成する過程と、

前記第2領域及び第3領域と前記第1領域の少なくとも部分とを貫通する溝をエッチングする過程と、

前記第2の比抵抗を有する不純物を前記半導体材料内に追加し、前記溝が前記第1領域と接続しないように前記第2領域を前記溝の底部の下方に延長させる過程と、

前記溝に於て前記第2領域及び第3領域と電気的に接続する導電材料層を前記溝内に形成する過程

とからなることを特徴とするトランジスタ製造方法。

(16) 第1領域、第2領域及び第3領域がそれぞれトランジスタのドレイン、本体及びソースと

(19) 第1の比抵抗を有する半導体材料からなる第1領域を設ける過程と、

前記第1領域内に前記第1の比抵抗とは反対の第2の比抵抗を有する第2領域を形成する過程と、

前記第2領域内に前記第1の比抵抗を有する第3領域を形成する過程と、

前記第3領域と前記第2領域の少なくとも部分とを貫通する溝をドライエッチング技術を用いてエッチングする過程と、

前記第1領域、第2領域及び第3領域がそれぞれドレイン、本体及びソースとして機能するトランジスタに於てソース及び本体のリード線として機能するように前記第2領域及び第3領域を電気的に接続し、導電材料を前記溝内に形成する過程
とからなることを特徴とするトランジスタ製造方法。

(20) 溝をエッチングする過程がプラズマエッチング技術により行なわれることを特徴とする特許請求の範囲第19項に記載のトランジスタ製造方法。

(21) 溝の縁部をゲートの縁部により郭定することを特徴とする特許請求の範囲第19項に記載のトランジスタ製造方法。

(22) 第1の比抵抗を有する半導体材料からなる第1領域を設ける過程と、

前記第1領域内に前記第1の比抵抗とは反対の第2の比抵抗を有する第2領域を形成する過程と、

前記第2領域内に前記第1の比抵抗を有する第3領域を形成する過程と、

前記第3領域と前記第2領域の少なくとも部分とを貫通する溝を等方性エッチング技術によりエッチングする過程と、

前記第1領域、第2領域及び第3領域がそれぞれドレイン、本体及びソースとして機能するトランジスタに於てソース及び本体のリード線として機能するように前記第2領域及び第3領域を電気的に接続する導電材料を前記溝内に形成する過程とからなることを特徴とするトランジスタ製造方法。

(23) 溝の縁部をゲートの縁部により郭定する

ことを特徴とする特許請求の範囲第22項に記載のトランジスタ製造方法。

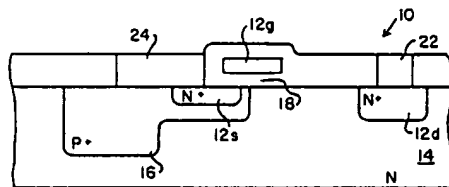


FIG. 1a

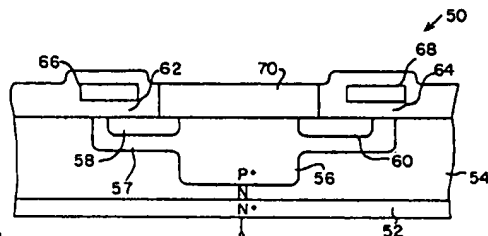


FIG. 1b

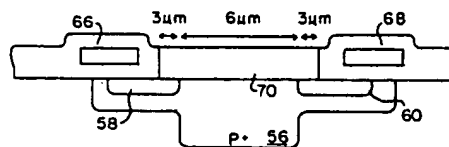


FIG. 1c

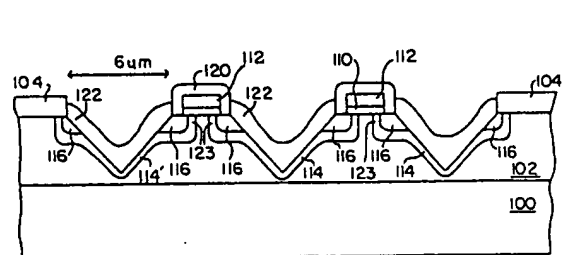


FIG. 2h

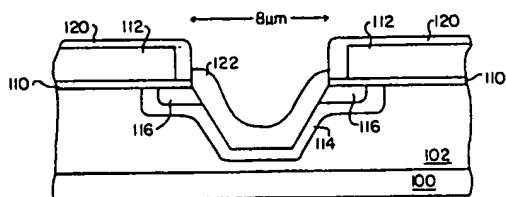


FIG. 4a

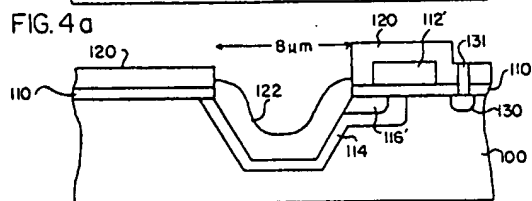


FIG. 4b

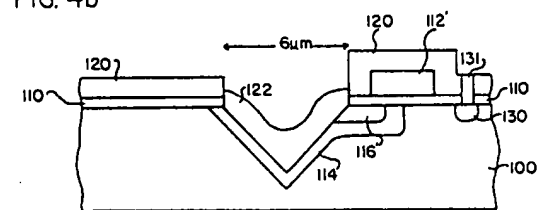


FIG. 4c

MENU

SEARCH

INDEX

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-192240**

(43)Date of publication of
application : **09.08.1988**

(51)Int.Cl. **H01L 21/318**

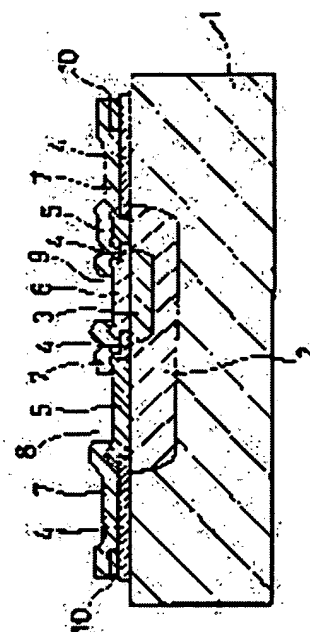
(21)Application number :	62-023171	(71) Applicant :	MITSUBISHI ELECTRIC CORP
(22)Date of filing :	03.02.1987	(72)Inventor :	MITARAI GORO SATSUMA KAZUMASA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To inhibit the generation of cracks at the end section of the interface of an SiN film and an SiO₂ film, and to prevent the intrusion of water by applying an elastically deformed film just under the end section of an overcoat film consisting of SiN.

CONSTITUTION: An elastically deformed film 10 is applied between an silicon nitride (SiN) film 7 and an SiO₂ film 4. When a PCT test is conducted at that time, large stress is applied to the surface of a chip by the swelling of a molding resin surrounding the periphery of the semiconductor chip. Consequently, large stress is applied onto the interface of the SiN film 7 and the SiO₂ film 4 having the large difference of thermal expansion coefficients, but stress is relaxed because the Al film 10 formed on the interface is deformed elastically, thus generating no crack. Accordingly, the intrusion of water from the interface section is also prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office